

[Prior Art No. 27]

KR 10-1999-0048409 A

(43) Publication date July 5, 1999

5 (21) Application No.: P1997-0067083

(22) Application date: December 9, 1997

(71) Applicant: Samsung Electronics Co., Ltd

(72) Inventor: Yeong-Keun KIM

10 (54) **TITLE: VISUAL MOBILE PHONE**

The present invention relates to a visual mobile phone. The visual mobile phone includes a radio frequency module modulating a voice signal and an image signal that are to be transmitted, outputting the signals to an antenna and demodulating the received voice signal and image signal; a telephone module processing a voice signal for telephone talk; an image signal processing module photographing an image that is to be converted to an image signal and compressing and restoring the image signal; a central processing module receiving the voice or image signals demodulated by the frequency module so as to transmit the input signals to a telephone module or an image processing

module and transmitting the image signal input from the image signal processing module and the voice signal input from the telephone module to the radio frequency module.

The telephone module includes a microphone to which a 5 voice of a user is input; a speaker outputting an internal voice signal to the user; and a MUX/DE-MUX unit coding the voice signal input from the microphone to output the coded voice signal to the central processing module, and decoding the voice signal input from the central processing module to 10 output the decoded voice signal to the speaker.

The image signal processing module includes a photographing lens capturing an image; an analog/digital converter converting the image captured by the photographing lens to a digital signal; and a compression/restoration unit 15 compressing the digital image signal output from the analog/digital converter or restoring the image signal input from the central processing unit.

Image and voice information transmitted from one visual mobile phone is transferred to another visual mobile phone 20 or a PDA through a CDMA network as shown in FIG. 2 and can be transferred to a computer through a PSTN network 230 and an internet network 240.

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. 6
H01L 29/772(45) 등록일자 2002년08월21일
(11) 등록번호 10-0349368
(24) 등록일자 2002년08월07일(21) 출원번호 10-1999-0048409
(22) 출원일자 1999년11월03일(65) 출개번호 특2001-0045204
(43) 출개일자 2001년06월05일(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1(72) 발명자 풍명국
경기도 용인시 수지읍 453 용인수지한신아파트 103-1703호

(74) 대리인 강성배

설사판 : 양동우

(54) 초고주파 반도체 소자 및 그의 제조방법

요약

본 발명은 누설전류를 최소화함과 더불어 순방향 전압의 통작범위를 증가시킬 수 있는 초고주파 반도체 소자 및 그의 제조방법을 개시한다. 개시된 본 발명의 초고주파 반도체 소자는 GaAs 반결연기판과, 상기 기판 상에 형성된 도핑되지 않은 GaAs 비퍼층과, 상기 비퍼층 상에 형성된 N형 GaAs층 또는 도핑되지 않은 GaAs/AlGaAs 초격자층, 도핑되지 않은 InGaAs 채널층, 도핑되지 않은 AlGaAs층 및 N형 AlGaAs층이 순차 적층된 구조의 엑티브층과, 상기 엑티브층 상에 형성된 게이트와, 상기 게이트 양쪽의 엑티브층 부분 상에 상기 게이트와 소경 간격 이격해서 각각 형성된 N⁺ GaAs 소오스 및 트래인 영역과, 상기 게이트와 엑티브층 사이에 개재하면서 상기 소오스 영역 및 트래인 영역의 각 측면과 오버랩하도록 형성된 유전체박막을 포함한다.

내장도
도 2d

평세서

도면의 간단한 설명

도 1은 종래의 초고주파 반도체 소자를 나타낸 단면도,

도 2a 내지 도 2d는 본 발명의 실시예에 따른 초고주파 반도체 소자의 제조방법을 설명하기 위한 단면도.

도 3은 도 2d의 III - III·성에 따른 헨드 다이아그램을 나타낸 단면도.

도 4 및 도 5는 본 발명(A)과 종래(B)의 게이트 누설전류를 나타낸 그레프.

도 6 및 도 7은 -2 내지 2V의 게이트 전압에서 본 발명의 드레인 전류 - 드레인 전압(ID - VD) 특성 및 gm(transconductance) 특성을 나타낸 그레프.

도 8은 본 발명(A)과 종래(B)의 이득(Ga, asso)과 노이즈 특성(Fmin)을 나타낸 그레프.

(도면의 주요부분에 대한 부호의 설명)

20 : GaAs 반결연기판 21 : U - GaAs 미파총

22 : 액티브총 22A : U - GaAs/AlGaAs 초격자총

22B : U - InGaAs 채널총 22C : U - AlGaAs총

22D : N - AlGaAs총 23A, 23B : 소오스/드레인 영역

24 : 포토레지스트 패턴 25 : 유전체박막

26 : 금속막 100 : 유전체면게이트

27A, 27B : 소오스/드레인 전극

28 : 중간결연막 29 : 배선

발명의 상세한 설명

발명의 목적

발명의 속하는 기술 및 그 분야의 종래기술

본 발명은 초고주파 반도체 소자 및 그의 제조방법에 관한 것으로, 특히 유전체면게이트(Dielectric Interface Gate; DIG)를 구비한 초고주파 반도체 소자 및 그의 제조방법에 관한 것이다.

통신 기술이 발달함에 따라, 1GHz부터 100GHz의 주파수 대역의 고주파 영역은 현재의 통신 시스템에서 점점 더 그 중요성이 커지고 있다. 일반적인 초고주파용 반도체 소자로서는 GaAs를 기초로 하는 금속 - 반도체 FET(Metal - Semiconductor Field Effect Transistor ; MESFET)이 사용된다. GaAs는 전자 이동도가 Si 보다 높고 천이 시간이 짧아 고주파 능력이 뛰고, 높은 온도에서 잘 견딘다. 또한, GaAs는 에너지 챕이 크기 때문에, 상온에서 동작하는 저전력 GaAs 품목소자는 열생성량이 매우 작고 누설 전류도 낮으므로, 잡음에 강한 특성을 갖는다.

또한, 상기 MESFET을 개선한 면조 도핑된 FET(Modulation Doped FET; MODFET)이라고도 하는 이종 접합을 이용한 HEMT(High Electron Mobility Transistor)는 도핑되지 않은 GaAs를 채널영역으로 사용하여, 불순물의 산란을 없애고 이동도를 증가시킴으로써, 상기 MESFET과 더불어 초고주파 접착회로 장치의 제조에 사용된다.

도 1은 종래의 초고주파 반도체 소자를 나타낸 단면도이다.

도 1을 참조하면, GaAs 반절연기판(semi-insulating substrate; 10) 상에 도핑되지 않은 GaAs(U-GaAs; 11)과
비층(11)이 형성된다. 비층(11) 상에 도핑되지 않은 GaAs/AlGaAs(U-GaAs/AlGaAs) 초격자층(12A), 도핑되지
않은 InGaAs(U-InGaAs) 채널층(12B), 도핑되지 않은 AlGaAs층(U-AlGaAs; 12C) 및 N형 AlGaAs층(N-AlGa
As; 12D)으로 이루어진 엑티브층(12)이 형성된다. 엑티브층(12) 상에는 금속층으로 이루어진 게이트(14)가 형성되
고, 게이트(14) 양측의 엑티브층(12) 상에는 게이트(14)와 소정간격 이격되어 N^+ -GaAs 소오스/드레인 영역(13A,
13B)이 형성된다. 또한, 소오스/드레인 영역(13A, 13B) 상에는 소오스/드레인 전극(15A, 15B)이 형성되고, 기판 전
면에는 소오스 전극(15A)의 일부를 노출시키는 콘택트을 구비한 충간절연막(16)이 형성된다. 충간절연막(16) 상에는
소오스 전극(15A)과 콘택트하는 배선(17)이 형성된다.

발명이 이루고자 하는 기술적 폐지

그러나, 상기한 바와 같은 종래의 초고주파 반도체 소자는, 도 1에 도시된 바와 같이, 반도체로 이루어진 엑티브층(12)
과 금속의 게이트(14)가 직접接触(schottky) 접촉을 이루기 때문에, 역방향 전압의 인가시, 누설전류가 발생되어 소
자 특성의 열화될 뿐만 아니라 순방향 전압의 동작범위가 매우 좁아지는 문제가 있다.

따라서, 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로서, 누설전류를 최소화함과 더불어 순방향 전압의 동
작범위를 증가시킬 수 있는 초고주파 반도체 소자 및 그의 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 특성을 달성하기 위한 본 발명에 따른 초고주파 반도체 소자는 GaAs 반절연기판과, 상기 기판 상에 형성
된 도핑되지 않은 GaAs 비층과, 상기 비층 상에 형성된 N형 GaAs층 또는 도핑되지 않은 GaAs/AlGaAs 초격자
층, 도핑되지 않은 InGaAs 채널층, 도핑되지 않은 AlGaAs층 및 N형 AlGaAs층이 순차 적층된 구조의 엑티브층과, 상
기 엑티브층 상에 형성된 게이트와, 상기 게이트 양측의 엑티브층 부분 상에 상기 게이트와 소정 간격 이격해서 각각 형
성된 N^+ -GaAs 소오스 및 드레인 영역과, 상기 게이트와 엑티브층 사이에 게이트면서 상기 소오스 영역 및 드레인 영역
의 각 측면과 오비랩하도록 형성된 유전체막을 포함한다.

또한, 상기와 같은 특성을 달성하기 위한 본 발명의 초고주파 반도체 소자의 제조방법은 다음과 같다. GaAs 반절연기
판 상에 도핑되지 않은 GaAs 비층을 형성하고, 상기 비층 상에 N형 GaAs층 또는 도핑되지 않은 GaAs/AlGaAs
초격자층, 도핑되지 않은 InGaAs 채널층, 도핑되지 않은 AlGaAs층 및 N형 AlGaAs층이 순차 적층된 구조의 엑티브층
을 형성한다. 그런 다음, 상기 엑티브층 상에 그의 소정 부분을 노출시키면서 소정 간격으로 이격되게 N^+ -GaAs 소오스
영역과 드레인 영역를 형성하고, 상기 소오스 영역과 드레인 영역 상에 포토레지스트 패턴을 형성한다. 그리고 나서, 상
기 노출된 엑티브층 부분 및 포토레지스트 패턴 상에 유전체막을 형성하고, 상기 유전체막 상에 게이트용 금속막을
형성한 후, 상기 포토레지스트 패턴 상의 유전체막 및 금속막을 상기 포토레지스트 패턴을 제거하여, 상기 소오스 및
드레인 영역의 각 측면과 오비랩하는 유전체면게이트를 형성한다.

여기서, 상기 유전체막은 플라즈마 보조 화학가상증착으로 형성하고, 상기 금속막은 전자빔증착으로 형성한다. 또한,
포토레지스트 패턴, 유전체막 및 금속막은 라프트 오프(lift off) 방식으로 제거한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 초고주파 반도체 소자의 제조방법을 설명하기 위한 단면도이다.

도 2a를 참조하면, GaAs 반절연기판(20) 상에 U-GaAs 비층(21)을 형성한다. 그런 다음, U-GaAs 비층(21)
상에 엑티브층(22)을 형성한다. 바람직하게, 엑티브층(22)은 N-GaAs층(비도시)으로 형성하거나, 도 2a에 도시된 바
와 같이, U-GaAs/AlGaAs 초격자층(22A), U-InGaAs 채널층(22B), U-AlGaAs층(22C) 및 N-AlGaAs층(22D)
를 순차적으로 적층하여 형성한다. 그리고 나서, 엑티브층(22) 상에 N^+ -GaAs층을 증착하고 게이트 영역이 노출되도록
패터닝하여 소오스/드레인 영역(23A, 23B)을 형성하고, 공기된 포토리소그래피로 소오스/드레인 영역(23A, 23B)
상에 포토레지스트 패턴(24)을 형성한다.

그런 다음, 비교적 저온에서, 바람직하게 포토레지스트 패턴(24)이 겹칠 수 있는 온도에서 플라즈마보조 화학기상증착 (plasma enhanced chemical vapor deposition; PECVD)으로 기판 전면에 유전체박막(25)을 형성한다. 이때, 유전체박막(25)은 포토레지스트 패턴(24)의 상면 및 노출된 액티브 영역(22)에서 소오스/드레인 영역(23A, 23B)의 축면과 오버랩되어 형성된다. 또한, 유전체박막(25)을 PECVD로 형성하기 때문에, 표면 스테이트 (surface state) 발생으로 인한 문턱전압 시프트(threshold voltage shift) 현상이 최소화된다.

또 2b를 참조하면, 유전체박막(25) 상에 전자빔증착(E-beam evaporation)으로 게이트용 금속막(26)을 형성한다. 그런 다음, 포토레지스트 패턴(24) 상의 유전체박막(25)과 금속막(26) 및 상기 포토레지스트 패턴(24)을 리프트 오프 방식으로 제거하여, 도 2c에 도시된 바와 같이, 유전체면제이트(dielectric interface gate; DIG, 100)를 형성한다.

도 2d를 참조하면, 소오스/드레인 영역(23A, 23B) 상에 소오스/드레인 전극(27A, 27B)을 형성하고, 기판 전면에 충간절연막(28)을 형성한다. 그런 다음, 소오스 전극(27A)의 일부가 노출되도록 충간절연막(28)을 식각하여 콘택홀을 형성하고, 상기 콘택홀에 메탈되도록 배선용 금속막을 증착한 후 패터닝하여 배선(29)을 형성한다.

도 3은 도 2d의 III - III' 선에 따른 밴드 다이어그램(band diagram)을 나타낸 단면도로서, 도 3에 도시된 바와 같이, DIG(100) 형성에 의해 금속막(25)과 액티브층(22) 사이에 유전체박막(25)의 전위장벽(potential barrier; PB)이 형성될 수 있다. 이에 따라, 양방향전압의 인가시, 누설전류가 감소되고 순방향 전압 동작범위가 증가된다.

즉, 도 4 및 도 5에 나타낸 바와 같이, 게이트 누설전류를 비교해보면, 본 발명(A)에서의 누설전류는 종래(B) 보다 약 100배 정도 감소될 수 있다. 또한, 도 6 및 도 7은 -2V에서 2V의 게이트 전압에서 본 발명의 전류 - 드레인 전압 (ID - VD) 특성 및 gm(transconductance) 특성을 나타낸 그래프로서, 게이트 전압이 2V인 경우에도 정상적인 동작이 이루어짐을 알 수 있다. 게다가, 도 8에 나타낸 바와 같이, 이득(Ga, aeso)과 노이즈 특성(Fmin)을 비교해보면, 본 발명(A)이 종래(B) 보다 우수한 특성을 갖음을 알 수 있다.

발명의 효과

상기한 본 발명에 의하면, 게이트 금속층과 반도체층 사이에 유전체박막을 개재하여 DIG를 형성함으로써, 누설전류가 최소화되고 순방향전압 동작범위가 증가된다. 또한, 노이즈가 최소화되고 이득이 높아짐에 따라, 고출력 및 저잡음 특성의 소자구현이 가능해진다.

또한, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 요지를 벗어나지 않는 범위내에서 다양하게 변형시켜 실시할 수 있다.

(57) 청구의 범위

청구항 1.

반절연기판파,

상기 반절연기판 상에 형성된 베피층파,

상기 베피층 상에 형성된 액티브층파,

상기 액티브층 상에 형성된 게이트파,

상기 게이트 양측의 액티브층 부분 상에 상기 게이트와 소정 간격 이격해서 각각 형성된 소오스 및 드레인 영역과,

상기 게이트와 액티브층 사이에 개재되면서 상기 소오스 영역 및 드레인 영역의 각 축면과 오버랩하도록 형성된 유전체박막을 포함하는 것을 특징으로 하는 초고주파 반도체 소자.

청구항 2.

제 1 항에 있어서, 상기 기판은 GaAs층으로 이루어지고, 상기 비파충은 도핑되지 않은 GaAs층으로 이루어진 것을 특징으로 하는 초고주파 반도체 소자.

청구항 3.

제 2 항에 있어서, 상기 액티브층은 N형 GaAs층으로 이루어진 것을 특징으로 하는 초고주파 반도체 소자.

청구항 4.

제 2 항에 있어서, 상기 액티브층은 도핑되지 않은 GaAs/AlGaAs 초격차층, 도핑되지 않은 InGaAs 층층층, 도핑되지 않은 AlGaAs층 및 N형 AlGaAs층이 순차적으로 적층된 박으로 이루어진 것을 특징으로 하는 초고주파 반도체 소자.

청구항 5.

제 3 항 또는 제 4 항에 있어서, 상기 소오스 및 드레인 영역은 N⁺ GaAs층으로 이루어진 것을 특징으로 하는 초고주파 반도체 소자.

청구항 6.

반질연기판 상에 비파충을 형성하는 단계;

상기 비파충 상에 액티브층을 형성하는 단계;

상기 액티브층 상에 그의 소정 부분을 노출시키면서 소정 간격으로 이격되게 소오스 영역과 드레인 영역을 형성하는 단계;

상기 소오스 및 드레인 영역 상에 포토레지스트 패턴을 형성하는 단계;

상기 노출된 액티브층 부분 및 포토레지스트 패턴 상에 유전체박막을 형성하는 단계;

상기 유전체박막 상에 게이트용 금속막을 형성하는 단계; 및

상기 포토레지스트 패턴 상의 유전체박막 및 금속막과 상기 포토레지스트 패턴을 제거하여, 상기 소오스 영역 및 드레인 영역의 각 축면과 오버랩하는 유전체먼데이트를 형성하는 단계를 포함하는 것을 특징으로 하는 초고주파 반도체 소자의 제조방법.

청구항 7.

제 6 항에 있어서, 상기 유전체박막은 플라즈마 보조 화학기상증착으로 형성하는 것을 특징으로 하는 초고주파 반도체 소자의 제조방법.

청구항 8.

제 6 항에 있어서, 상기 금속막은 전자빔증착으로 형성하는 것을 특징으로 하는 초고주파 반도체 소자의 제조방법.

청구항 9.

제 6 항에 있어서, 상기 포토레지스트 패턴, 유전체박막 및 금속막은 리프트 오프 방식으로 제거하는 것을 특징으로 하는 초고주파 반도체 소자의 제조방법.

청구항 10.

제 6 항에 있어서, 상기 기판은 GaAs층으로 형성하고, 상기 비파동은 도핑되지 않은 GaAs층으로 형성하는 것을 특징으로 하는 초고주파 반도체 소자의 제조방법.

청구항 11.

제 10 항에 있어서, 상기 액티브층은 N형 GaAs층으로 형성하는 것을 특징으로 하는 초고주파 반도체 소자의 제조방법.

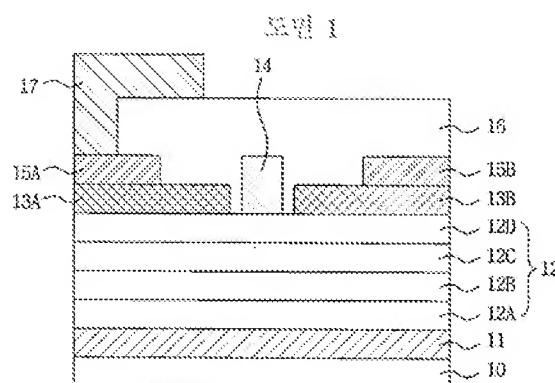
청구항 12.

제 10 항에 있어서, 상기 액티브층은 도핑되지 않은 GaAs/AlGaAs 초격자층, 도핑되지 않은 InGaAs 층, 도핑되지 않은 AlGaAs층 및 N형 AlGaAs층이 순차적으로 층층하여 형성하는 것을 특징으로 하는 초고주파 반도체 소자의 제조방법.

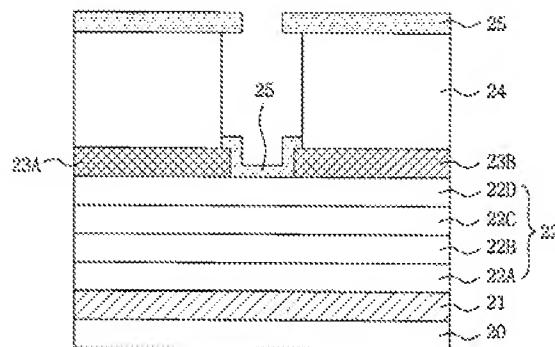
청구항 13.

제 11 항 또는 제 12 항에 있어서, 상기 소드스 및 드레인 영역은 N^{+} GaAs층으로 형성하는 것을 특징으로 하는 초고주파 반도체 소자의 제조방법.

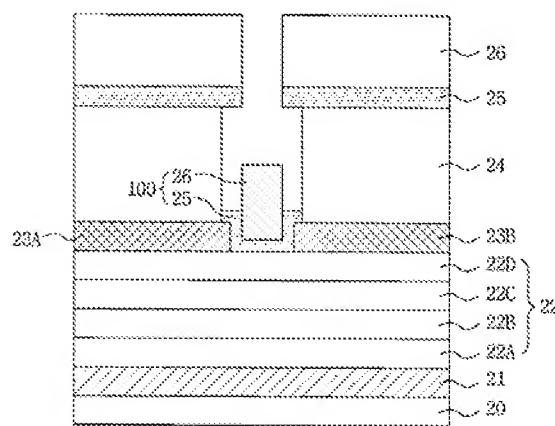
도면



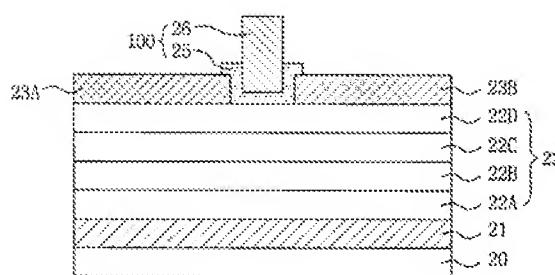
도면 2a



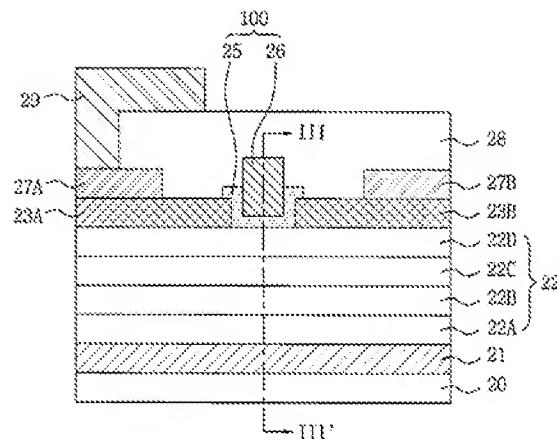
도면 2b



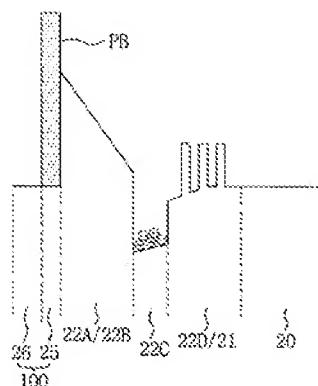
도면 2c



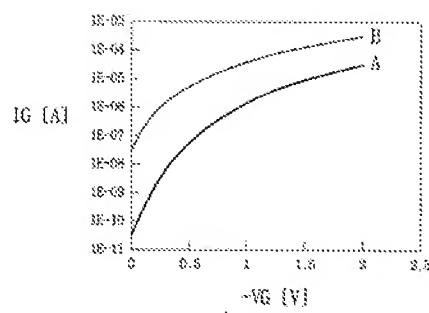
353 2d



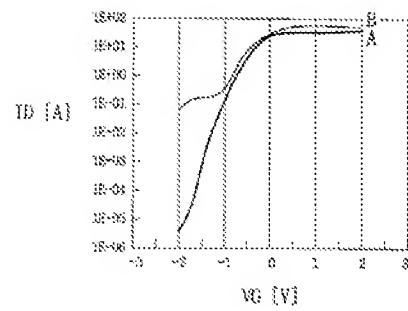
卷之三



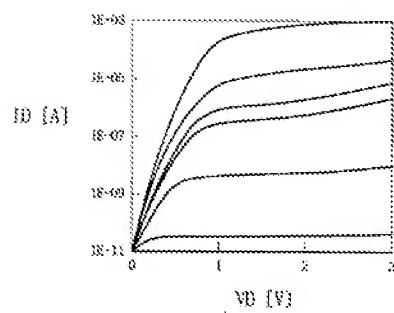
卷之三



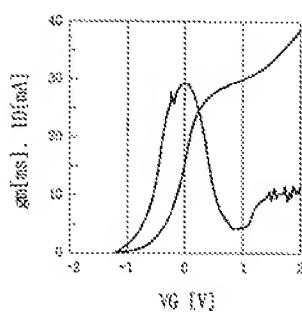
ID: 5



ID: 6



ID: 7



ID: 8

